

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-050488

(43)Date of publication of application : 21.02.1995

(51)Int.Cl.

H05K 3/46

H01F 17/00

H01G 4/30

H01G 4/30

(21)Application number : 05-194863

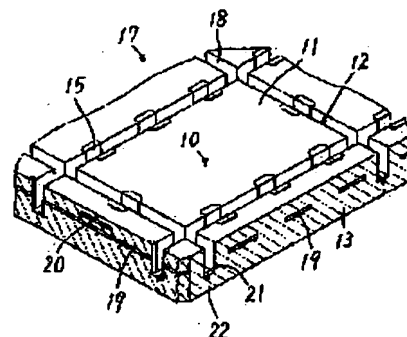
(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 05.08.1993

(72)Inventor : SAKAI NORIO
KUBOTA KENJI**(54) LAYERED ELECTRONIC COMPONENT, ITS MANUFACTURE AND ITS CHARACTERISTIC MEASURING METHOD****(57)Abstract:**

PURPOSE: To provide layered electronic component one main surfaces of which can be widely used as the mounting surfaces of other electronic components for hybridization.

CONSTITUTION: A mother layered body 17 from which multiple layered electronic components 10 are obtained by cutting the layered body 17 along prescribed cutting lines is prepared and grooves 18 are formed on the layered body 17 along the cutting lines. After fitting external electrodes 15 to side faces of the grooves 18, the layered body 17 is cut into individual layered electrode components 10 along the grooves 18. Therefore, many layered electronic components can be efficiently manufactured and, at the same time, the characteristics of the individual electronic components can be efficiently measured before cutting the mother layered body.

**LEGAL STATUS**

[Date of request for examination] 23.05.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2870371

[Date of registration] 08.01.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 5 0 4 8 8

(43) 公開日 平成7年(1995)2月21日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/46		Q 6921- 4 E		
H 0 1 F 17/00		D 8123- 5 E		
H 0 1 G 4/30	3 0 1	B 9174- 5 E		
	3 1 1	E 9174- 5 E		

審査請求 未請求 請求項の数 4

O L

(全 6 頁)

(21) 出願番号 特願平5-194863

(22) 出願日 平成5年(1993)8月5日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 酒井 範夫

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 窪田 憲二

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(74) 代理人 弁理士 深見 久郎 (外2名)

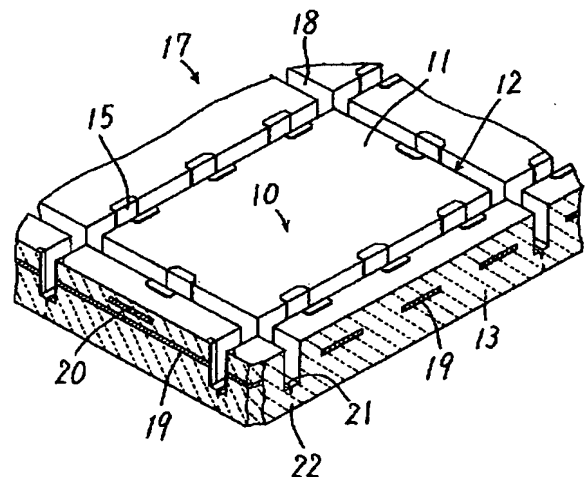
(54) 【発明の名称】 積層電子部品、その製造方法およびその特性測定方法

(57) 【要約】

【目的】 一方の主面を複合化のための他の電子部品の実装面として広く利用できる積層電子部品を提供する。

【構成】 所定の切断線に沿って切断することにより複数の積層電子部品 10 を得るためのマザー積層体 17 を準備し、切断線に沿ってマザー積層体 17 に溝 18 を形成する。溝 18 の側面上に外部電極 15 を付与した後、マザー積層体 17 を溝 18 の位置において分割し、個々の独立した複数の積層電子部品 10 を得る。

【効果】 多数の積層電子部品を能率的に製造することができるとともに、マザー積層体の状態で個々の積層電子部品の特性測定を能率的に行なうことができる。



【特許請求の範囲】

【請求項 1】 内部回路要素を介在させた状態で複数の絶縁性シートが積層されてなるものであって、相対向する第 1 および第 2 の主面とこれら主面間を連結する側面とを備える積層体、ならびに前記内部回路要素に電氣的に接続されかつ前記積層体の外表面上に形成される外部電極を備える、積層電子部品において、前記外部電極は、前記積層体の側面上における厚み方向の途中から前記第 1 の主面側にのみ延びるように形成されていることを特徴とする、積層電子部品。

【請求項 2】 所定の切断線に沿って切断することによって複数の積層電子部品が得られるものであって、前記切断線によって区画される各領域に個々の前記積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなる、マザー積層体を準備し、前記切断線に沿って前記マザー積層体に溝を形成し、前記内部回路要素に電氣的に接続されるように前記溝の側面上に外部電極を付与し、前記マザー積層体を前記溝の位置において分割する、各工程を備える、積層電子部品の製造方法。

【請求項 3】 所定の切断線に沿って切断することによって複数の積層電子部品が得られるものであって、前記切断線によって区画される各領域に個々の前記積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなる、マザー積層体を準備し、前記切断線に沿って前記マザー積層体に溝を形成し、前記内部回路要素に電氣的に接続されるように前記溝の側面上に外部電極を付与し、その状態で、前記外部電極を介して個々の積層電子部品の電氣的特性を測定する、各工程を備える、積層電子部品の特性測定方法。

【請求項 4】 所定の切断線に沿って切断することによって複数の積層電子部品が得られるものであって、前記切断線に沿って溝が形成されていて、前記切断線によって区画される各領域に個々の前記積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなる、マザー積層体、および前記内部回路要素に電氣的に接続されるように前記溝の側面上に付与された外部電極を備える、積層電子部品の集合体。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、内部回路要素を内部に配置した積層電子部品、その製造方法およびその特性測定方法に関するもので、特に、積層電子部品における外部電極の形成態様の改良に関するものである。

【0002】

【従来の技術】たとえば、積層コンデンサ、積層インダ

クタ、多層回路基板、多層複合電子部品で代表される積層電子部品は、導電膜および／または抵抗膜のような内部回路要素を介在させた状態で複数の絶縁性シートが積層されてなる積層体を備える。絶縁性シートとしては、典型的には、セラミックシートが用いられる。

【0003】図 6 は、この発明にとって興味ある従来の積層電子部品 1 の外観を示す斜視図である。積層電子部品 1 は、内部回路要素（図示せず）を介在させた状態で複数の絶縁性シートが積層されてなる積層体 2 を備える。積層体 2 のたとえば 4 つの側面には、それぞれ、外部電極 3 が形成される。これら外部電極 3 は、積層体 2 の内部に位置する内部回路要素と電氣的に接続される。外部電極 3 は、適当な金属膜を、積層体 2 の各側面の特定の箇所に付与することにより形成されるが、このとき、積層体 2 の上下の主面にも、必然的に、外部電極 3 の一部が比較的広い面積で延びようになる。

【0004】このような積層電子部品 1 は、チップ状の形態で、外部電極 3 を介して適宜の回路基板上に表面実装される。

【0005】

【発明が解決しようとする課題】しかしながら、上述した積層電子部品 1 において、外部電極 3 は、積層体 2 の上下の主面にまで比較的広い面積で延びるように形成されているため、このような積層電子部品 1 のいずれかの主面に、別の電子部品を実装して複合化を図ろうとする場合、このような別の電子部品の配置可能な面積が制約される。

【0006】また、積層電子部品 1 を製造しようとするとき、個々の積層電子部品 1 のための独立した積層体 2 を用意してから、上述した外部電極 3 を形成するだけでなく、必要に応じて、表面に抵抗膜を形成したり、この抵抗膜をトリミングしたり、電氣的特性を測定したり、オーバーコートを形成したり、前述したように別の電子部品を実装したりすることなどが行なわれる。しかしながら、これらの積層電子部品 1 の製造に伴う各工程を、個々の独立した積層体 2 について高精度をもって実施するのは比較的煩雑かつ困難であり、特に多数の積層電子部品 1 を得ようとする場合、より能率的な方法の実現が望まれる。

【0007】それゆえに、この発明の目的は、複合化のために別の電子部品を実装するための面積をより広く与えることができる積層電子部品を提供しようとすることである。

【0008】この発明の他の目的は、複数の積層電子部品を能率的に製造できる方法を提供しようとすることである。

【0009】この発明のさらに他の目的は、複数の積層電子部品の特性測定を能率的に行なえる方法を提供しようとすることである。

【0010】

【課題を解決するための手段】この発明による積層電子部品は、内部回路要素を介在させた状態で複数の絶縁性シートが積層されてなるものであって、相対向する第1および第2の主面とこれら主面間を連結する側面とを備える積層体、ならびに、前記内部回路要素に電気的に接続されかつ積層体の外表面上に形成される外部電極を備えるものであって、上述した技術的課題を解決するため、外部電極が、積層体の側面上における厚み方向の途中から前記第1の主面側にのみ延びるように形成されていることを特徴としている。

【0011】この発明による積層電子部品の製造方法は、所定の切断線に沿って切断することによって複数の積層電子部品が得られるものであって、切断線によって区画される各領域に個々の積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなる、マザー積層体を準備する工程と、切断線に沿ってマザー積層体に溝を形成する工程と、前記内部回路要素に電気的に接続されるように溝の側面上に外部電極を付与する工程と、マザー積層体を溝の位置において分割する工程とを備えている。

【0012】この発明による積層電子部品の特性測定方法は、所定の切断線に沿って切断することによって複数の積層電子部品が得られるものであって、切断線によって区画される各領域に個々の積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなる、マザー積層体を準備する工程と、切断線に沿ってマザー積層体に溝を形成する工程と、内部回路要素に電気的に接続されるように溝の側面上に外部電極を付与する工程と、その状態で、外部電極を介して個々の積層電子部品の電気的特性を測定する工程とを備えている。

【0013】上述した積層電子部品の製造方法の途中または特性測定方法においてとる積層電子部品の形態、すなわち、溝が形成されたマザー積層体からなる積層電子部品の集合体は、そのまま、出荷時の形態とすることもできる。

【0014】

【発明の作用および効果】この発明に係る積層電子部品によれば、外部電極が積層体の側面上における厚み方向の途中から第1の主面側にのみ延びるように形成されているので、積層体の少なくとも第2の主面の全域を、複合化のための他の電子部品の実装面として広く利用することができる。そのため、部品実装の高密度化を図ることができる。

【0015】次に、この発明に係る積層電子部品の製造方法によれば、複数の積層電子部品を与えるマザー積層体の状態で、外部電極の付与を行なうことができ、また、必要に応じて、抵抗膜の形成、そのトリミング、オーバーコート形成、複合化のための別の電子部品の実装

等を行なうことができるので、これらの工程を高い精度をもって能率的に行なうことができる。したがって、多数の積層電子部品を製造しようとするとき、この発明に係る製造方法が特に有利に適用される。

【0016】次に、この発明に係る積層電子部品の特性測定方法によれば、複数の積層電子部品を与えるマザー積層体に溝を形成することにより、複数の積層電子部品が電気的に互いに独立した状態となり、外部電極についても各積層電子部品ごとに電気的に互いに独立した状態であるので、個々の積層電子部品の電気的特性を、マザー積層体として機械的に一体化された状態のまま測定することができる。したがって、機械的に独立した複数の積層電子部品を取扱う必要がなく、たとえばスクリーニングすることにより、能率的に多数の積層電子部品の電気的特性を測定することができる。

【0017】また、上述した製造方法の途中の形態、すなわち上述した特性測定を実施するための形態である、溝が形成されたマザー積層体を備える積層電子部品の集合体は、そのまま、出荷時の形態とすれば、需要者側において、マザー積層体を溝に沿って分割するだけで、そこから個々の積層電子部品を取出すことができる。この場合、個々の積層電子部品は、その特性測定をすでに終えておくことができるので、問題なく実装に供することができるとともに、積層電子部品の集合体は、個々の積層電子部品がばらばらの状態にある場合に比べて、その梱包および取扱いが容易である点に注目すべきである。

【0018】

【実施例】図1は、この発明の一実施例による積層電子部品10の外観を示す斜視図である。積層電子部品10は、図示したチップ状の形態で適宜の回路基板上に実装されるが、図1では、このような回路基板側に向けられる主面11を上方に向けた状態で、積層電子部品10が図示されている。

【0019】積層電子部品10は、内部回路要素（図示せず）を介在させた状態で複数の絶縁性シートが積層されてなる積層体12を備える。積層体12は、前述した第1の主面11に加えて、この主面11に対向する第2の主面13、ならびにこれら主面11および13間を連結する側面14を備える。積層体12のたとえば4つの側面14の各々には、外部電極15が付与される。これら外部電極15は、図示しないが、内部回路要素に電気的に接続されている。なお、積層体12の側面14には、段差16が形成されているが、このような段差16が形成される理由は、以下の製造方法の説明から明らかになる。

【0020】上述したような積層電子部品10を得るため、図2および図3にそれぞれ一部のみを図示するようなマザー積層体17が用意される。マザー積層体17には、溝18が形成されている。マザー積層体17は、この溝18の位置に対応する切断線（図示せず）に沿って

切断することにより複数の積層電子部品 10 を与えるものであって、切断線によって区画される各領域に個々の積層電子部品 10 のための内部回路要素 19 および 20 を分布させるように、これら内部回路要素 19 および 20 を介在させた状態で複数のマザー絶縁性シートが積層されてなるものである。なお、図示した内部回路要素 19 および 20 は、一例にすぎず、内部回路要素としては、これらのほか、導電膜および／または抵抗膜からなるもの、ビアホールによって与えられるものなどがある。

【0021】上述したようなマザー積層体 17 を得るため、たとえば、以下のような工程が実施される。なお、この実施例では、セラミックシートからなるマザー絶縁性シートを積層することにより、マザー積層体 17 が与えられる。

【0022】まず、ドクターブレード法などにより、シート成形を行ない、マザー絶縁性シートとなるべきセラミックグリーンシートを得る。これらセラミックグリーンシートの特定のものには、必要に応じて、内部回路要素 19 および 20 等となるべき導電膜および／または抵抗膜、さらにはビアホールが形成される。次に、マザー絶縁性シートが積み重ねられ、プレスされる。これによって、マザー積層体 17 が得られる。

【0023】次に、マザー積層体 17 には、溝 18 がたとえばダイシングソーによって形成される。この溝 18 の形成によって、溝 18 で囲まれた個々の積層電子部品 10 となるべき部分は、互いに他のものに対して電氣的に独立した状態となる。

【0024】次に、溝 18 の側面上に外部電極 15 が付与される。この外部電極 15 の付与は、たとえば、適当な金属ペーストをディスペンサによって塗布することにより形成され、金属ペーストは、その後、乾燥される。これら外部電極 15 は、互いに他のものと接触しないように付与されているので、電氣的に互いに独立した状態となっている。この実施例では、図 3 によく示されているように、外部電極 15 は、溝 18 の底面に接する位置からマザー積層体 17 の上方主面 11 にまで延びるように形成されている。また、図 2 および図 3 には、外部電極 15 と内部回路要素 19 とが電氣的に接続されている状態が図示されている。

【0025】次に、好ましくは、溝 18 の底面とそれに対向するマザー積層体 17 の下方主面 13 とに、それぞれ、スリット 21 および 22 が形成される。スリット 21 および 22 は、いずれか一方が省略されてもよい。

【0026】次に、マザー積層体 17 は、マザー絶縁性シートを構成するセラミックを焼結させるため、焼成される。その後、必要に応じて、マザー積層体 17 の表面に、導電膜および／または抵抗膜が形成され、また、オーバーコートが施され、また、ソルダーレジストが付与されたりする。また、必要に応じて、外部電極 15 また

は他の導電膜上にめっきが施される。

【0027】以上の工程を終えたとき、マザー積層体 17 に含まれる複数の積層電子部品 10 は、互いに他のものに対して電氣的に独立しているため、外部電極 15 を介して、個々の積層電子部品 10 の電氣的特性を測定することができる。

【0028】このように、電氣的特性が測定された後、良品と判断された積層電子部品 10 には、必要に応じて、複合化のための他の電子部品が実装される。この実装は、図 1 に示した積層体 12 の第 2 の主面 13 側で行なわれる。なお、積層電子部品 10 の出荷をこの段階で行なってもよい。

【0029】次に、機械的に独立した複数の積層電子部品 10 を得るため、マザー積層体 17 は、溝 18 の位置において完全に分割される。この分割は、チョコレートを割るように、マザー積層体 17 を溝 18 に沿って割ることによって容易に達成される。前述したスリット 21 および 22 は、このような分割をより容易にする。

【0030】このようにして、図 1 に示した積層電子部品 10 が得られる。以上述べた説明からわかるように、段差 16 は、前述した溝 18 の形成の結果もたらされたものである。

【0031】次に、積層電子部品 10 は、必要に応じて、ケーシングされる。このケーシングは、積層体 12 の第 2 の主面 13 上に他の電子部品が実装されたとき、これを覆うものである。

【0032】上述した積層電子部品 10 の製造方法は、次のように変更することもできる。たとえば、焼成工程は、スリット 21 および 22 の形成工程より前に実施されてもよく、また、外部電極 15 の付与工程より前、さらには溝 18 の形成工程より前に実施されてもよい。焼成工程の後で、外部電極 15 を付与するとき、このような外部電極 15 は蒸着またはスパッタリング等により形成されてもよい。また、焼成工程の後で、スリット 21 および 22 が形成されるときには、これらスリット 21 および 22 は、レーザを用いて形成されることができ

る。

【0033】また、スリット 21 および 22 を形成した後、外部電極 15 が付与されてもよい。また、スリット 21 および 22 を予め形成しておくことなく、マザー積層体 17 を溝 18 に沿って割ってもよく、また、溝 18 を形成したダイシングソーより薄い刃厚のダイシングソーによって、溝 18 の底面とマザー積層体 17 の下方主面 13 との間の部分を切断してもよい。

【0034】また、外部電極 15 は、これらを付与した段階では、隣合う積層電子部品 10 間においてつながった状態となってもよい。これら外部電極 15 を互いに他のものに対して電氣的に独立させるため、たとえば溝 18 の幅より薄い刃厚のダイシングソーまたはレーザビームを適用すればよい。なお、このようなダイシング

10

20

30

40

50

ソーまたはレーザービームの適用によって、スリット 21 をも同時に形成するようにしてもよい。

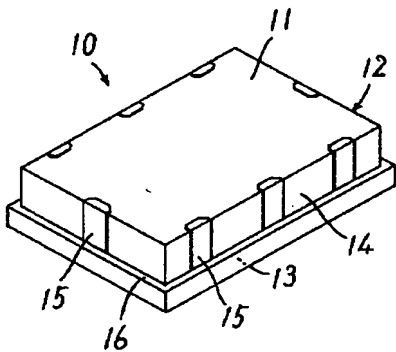
【0035】図 4 および図 5 は、それぞれ、この発明の他の実施例に従って用意されたマザー積層体 17 a および 17 b を示す、図 3 に相当の図である。図 4 および図 5 において、図 3 に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0036】図 4 および図 5 に示す実施例は、それぞれ、外部電極 15 a および 15 b の形成態様に特徴がある。すなわち、図 4 に示した外部電極 15 a および図 5 に示した外部電極 15 b は、いずれも、溝 18 の底面にまで届いていない。これによって、隣合う積層電子部品 10 間において外部電極 15 a および 15 b がそれぞれ不用意にも導通状態となることを確実に防止することができる。

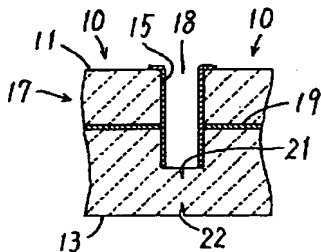
【0037】また、図 5 に示した外部電極 15 b は、第 1 の主面 11 にまで届いていない。したがって、この実施例によれば、外部電極 15 b に干渉されることなく、この第 1 の主面 11 をも、他の電子部品のための実装面として広く利用することができる。

【0038】なお、この発明において、絶縁性シートは、セラミックシートに限らず、他の材料からなるシートに置き換えられてもよい。

【図 1】



【図 3】



【図面の簡単な説明】

【図 1】この発明の一実施例による積層電子部品 10 の外観を示す斜視図である。

【図 2】図 1 に示した積層電子部品 10 を得るために準備されるマザー積層体 17 の一部を示す斜視図である。

【図 3】図 2 に示したマザー積層体 17 の外部電極 15 が形成された部分を拡大して示す断面図である。

【図 4】この発明の他の実施例に従って準備されたマザー積層体 17 a を示す、図 3 に相当の図である。

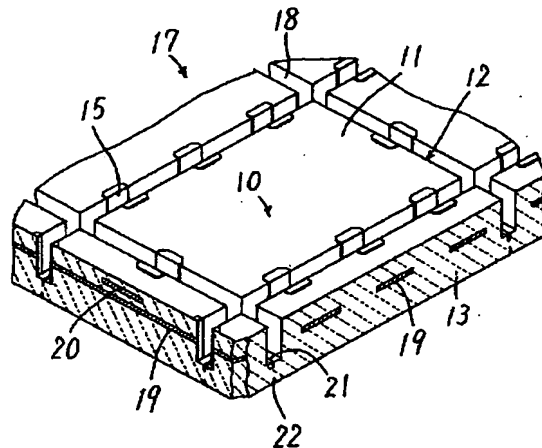
【図 5】この発明のさらに他の実施例に従って準備されたマザー積層体 17 b を示す、図 3 に相当の図である。

【図 6】この発明にとって興味ある従来の積層電子部品 1 の外観を示す斜視図である。

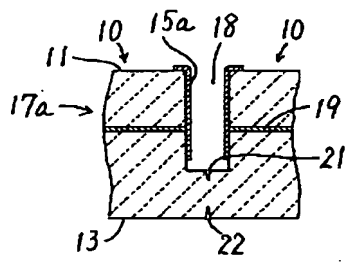
【符号の説明】

- 10 積層電子部品
- 11 第 1 の主面
- 12 積層体
- 13 第 2 の主面
- 14 側面
- 15, 15 a, 15 b 外部電極
- 17, 17 a, 17 b マザー積層体
- 18 溝
- 19, 20 内部回路要素

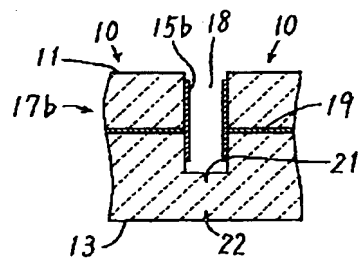
【図 2】



【図4】



【図5】



【図6】

